

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02017/056146

発行日 平成30年7月12日 (2018. 7. 12)

(43) 国際公開日 平成29年4月6日 (2017. 4. 6)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 3/343 (2006.01)	H03F 3/343	Z 4C161
H04N 5/378 (2011.01)	H04N 5/378	5C024
A61B 1/00 (2006.01)	A61B 1/00	680 5J500
A61B 1/05 (2006.01)	A61B 1/05	

審査請求 未請求 予備審査請求 未請求 (全 25 頁)

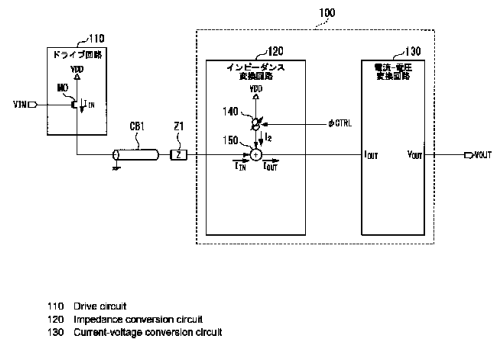
出願番号 特願2017-542520 (P2017-542520)	(71) 出願人 000000376 オリンパス株式会社 東京都八王子市石川町2951番地
(21) 国際出願番号 PCT/JP2015/077278	(74) 代理人 100106909 弁理士 棚井 澄雄
(22) 国際出願日 平成27年9月28日 (2015. 9. 28)	(74) 代理人 100094400 弁理士 鈴木 三義
(81) 指定国 AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, RU, TJ, TM), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US	(74) 代理人 100086379 弁理士 高柴 忠夫
	(74) 代理人 100139686 弁理士 鈴木 史朗
	(72) 発明者 萩原 義雄 東京都八王子市石川町2951番地 オリンパス株式会社内

最終頁に続く

(54) 【発明の名称】 信号伝送回路および内視鏡システム

(57) 【要約】

信号伝送回路は、インピーダンス変換回路と電流 - 電圧変換回路とを有する。第1の電流が前記インピーダンス変換回路に入力される。前記インピーダンス変換回路は、前記第1の電流に応じた第2の電流を出力する。前記電流 - 電圧変換回路は、前記インピーダンス変換回路から出力される前記第2の電流を電圧に変換する。前記インピーダンス変換回路は、第1の電流源と電流出力回路とを有する。前記第1の電流源は、基準電流を生成する。前記電流出力回路は、前記第1の電流と前記基準電流との差分または和に応じた前記第2の電流を出力する。



【特許請求の範囲】**【請求項 1】**

第 1 の電流が入力され、かつ前記第 1 の電流に応じた第 2 の電流を出力するインピーダンス変換回路と、

前記インピーダンス変換回路から出力される前記第 2 の電流を電圧に変換する電流 - 電圧変換回路と、

を有し、

前記インピーダンス変換回路は、

基準電流を生成する第 1 の電流源と、

前記第 1 の電流と前記基準電流との差分または和に応じた前記第 2 の電流を出力する電流出力回路と、

を有する

信号伝送回路。

10

【請求項 2】

前記インピーダンス変換回路と前記電流 - 電圧変換回路との間に配置され、かつ前記インピーダンス変換回路と前記電流 - 電圧変換回路との電氣的接続のオンとオフとを切り替えるスイッチをさらに有し、

前記インピーダンス変換回路は、前記スイッチがオフであるときに前記インピーダンス変換回路に入力された前記第 1 の電流を前記基準電流に変換し、

前記第 1 の電流源は、前記スイッチがオフであるときに前記基準電流を保持し、

20

前記インピーダンス変換回路は、前記スイッチがオンであるときに前記第 2 の電流を出力する

請求項 1 に記載の信号伝送回路。

【請求項 3】

前記インピーダンス変換回路は、第 1 のトランジスタと第 2 のトランジスタとをさらに有し、

前記第 1 のトランジスタと前記第 2 のトランジスタとは、カレントミラーを構成し、

第 1 の電源と第 2 の電源との間に、前記第 1 の電流源と、前記第 2 のトランジスタとが直列に接続され、

前記第 1 の電流は、前記第 1 のトランジスタに入力され、

30

前記第 2 のトランジスタは、前記スイッチに接続される

請求項 2 に記載の信号伝送回路。

【請求項 4】

前記電流出力回路は、トランジスタと第 2 の電流源とをさらに有し、

第 1 の電源と第 2 の電源との間に、前記第 1 の電流源と、前記トランジスタと、前記第 2 の電流源とが直列に接続され、

前記トランジスタは、第 1 の端子と第 2 の端子と制御端子とを有し、

前記第 1 の端子と前記第 2 の端子とのいずれか 1 つは前記スイッチに接続され、かつ前記制御端子は第 3 の電源に接続され、

前記第 1 の電流源は、前記第 1 の端子と前記第 2 の端子とのうち、前記スイッチと接続される端子に接続され、

40

前記第 2 の電流源は、前記第 1 の端子と前記第 2 の端子とのうち、前記第 1 の電流源が接続される端子と異なる端子に接続され、

前記第 1 の端子と前記第 2 の端子とのうち、前記第 1 の電流源が接続される端子と異なる端子に前記第 1 の電流が入力される

請求項 2 に記載の信号伝送回路。

【請求項 5】

撮像信号を出力する撮像素子と、

前記撮像素子の内部または外部に配置され、かつ前記撮像信号に基づく前記第 1 の電流を出力する伝送バッファと、

50

を有する内視鏡スコープと、

前記伝送バッファに接続された請求項 1 から請求項 4 のいずれか一項に記載の信号伝送回路と、

を有する内視鏡システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号伝送回路および内視鏡システムに関する。

【背景技術】

【0002】

図 9 は、従来技術の信号伝送回路 1100 の構成を示している。信号伝送回路 1100 は、従来技術の第 1 の例である。信号伝送回路 1100 は、インピーダンス変換回路 1120 と電流 - 電圧変換回路 1130 とを有する。信号伝送回路 1100 の入力側にドライブ回路 1110 が配置されている。

【0003】

ドライブ回路 1110 は、トランジスタ M10 を有する。トランジスタ M10 は、NMOS トランジスタである。トランジスタ M10 のドレイン端子は、電源 VDD に接続されている。トランジスタ M10 のソース端子は、伝送ケーブル CB11 に接続されている。入力信号 VIN がトランジスタ M10 のゲート端子に入力される。ドライブ回路 1110 は、入力信号 VIN をトランジスタ M10 の相互コンダクタンス g_m により電流に変換する。ドライブ回路 1110 によって生成された電流値は、 I_{IN} である。ドライブ回路 1110 によって生成された電流は、伝送ケーブル CB11 と、インピーダンスマッチング用のマッチング素子 Z11 とを介してインピーダンス変換回路 1120 に入力される。

【0004】

インピーダンス変換回路 1120 は、電流出力回路 1150 を有する。電流出力回路 1150 は、カレントミラーを構成するトランジスタ M11 とトランジスタ M12 とを有する。トランジスタ M11 とトランジスタ M12 とは、NMOS トランジスタである。トランジスタ M11 のドレイン端子は、入力端子 Tin に接続されている。トランジスタ M11 のソース端子は、グランド GND に接続されている。トランジスタ M11 のゲート端子は、トランジスタ M11 のドレイン端子に接続されている。トランジスタ M12 のドレイン端子は、出力端子 Tout に接続されている。トランジスタ M12 のソース端子は、グランド GND に接続されている。トランジスタ M12 のゲート端子は、トランジスタ M11 のゲート端子に接続されている。

【0005】

ドライブ回路 1110 によって生成された電流が入力端子 Tin に入力される。この電流は、トランジスタ M11 のドレイン端子とソース端子との間に流れる。トランジスタ M11 とトランジスタ M12 とのミラー比に応じた電流がトランジスタ M12 のドレイン端子とソース端子との間に流れる。トランジスタ M11 とトランジスタ M12 との W/L 比が同じであると仮定する。トランジスタ M11 の係数が m であり、トランジスタ M12 の係数が n である場合、トランジスタ M12 に流れる電流の電流値は $(n/m) \times I_{IN}$ である。トランジスタ M11 とトランジスタ M12 との係数が同一である場合、トランジスタ M11 とトランジスタ M12 とに流れる電流は同一である。インピーダンス変換回路 1120 は、電流値が I_{OUT} である電流を出力端子 Tout から出力する。インピーダンス変換回路 1120 は、低入力インピーダンスかつ高出力インピーダンスの電流変換回路である。

【0006】

電流 - 電圧変換回路 1130 は、帰還抵抗 R12 とオペアンプ OP11 とを有する。帰還抵抗 R12 の第 1 の端子は、オペアンプ OP11 の反転入力端子に接続されている。帰還抵抗 R12 の第 2 の端子は、オペアンプ OP11 の出力端子に接続されている。オペアンプ OP11 の反転入力端子は、インピーダンス変換回路 1120 に接続されている。オ

10

20

30

40

50

ペアンプOP11の非反転入力端子は、基準電圧VREFを出力する電源に接続されている。

【0007】

インピーダンス変換回路1120から出力された電流が電流-電圧変換回路1130にされる。電流-電圧変換回路1130は、電流を電圧に変換し、かつ電圧を出力信号VOUTとして出力する。

【0008】

図10は、従来技術の信号伝送回路1101の構成を示している。信号伝送回路1101は、従来技術の第2の例である。信号伝送回路1101は、インピーダンス変換回路1121と電流-電圧変換回路1130とを有する。信号伝送回路1101の入力側にドライブ回路1110が配置されている。

10

【0009】

ドライブ回路1110と電流-電圧変換回路1130との各々は、図9におけるドライブ回路1110と電流-電圧変換回路1130との各々と同一である。このため、ドライブ回路1110と電流-電圧変換回路1130とについての説明を省略する。

【0010】

インピーダンス変換回路1121は、トランジスタM13と、電流源CS11と、電流源CS12とを有する。トランジスタM13は、NMOSTランジスタである。トランジスタM13は、ゲート接地型のトランジスタである。トランジスタM13のソース端子は、入力端子Tinに接続されている。トランジスタM13のドレイン端子は、出力端子Toutに接続されている。トランジスタM13のゲート端子は、電源V11に接続されている。

20

【0011】

電流源CS11の第1の端子は、電源VDDに接続されている。電流源CS11の第2の端子は、出力端子Toutに接続されている。電流源CS12の第1の端子は、入力端子Tinに接続されている。電流源CS12の第2の端子は、グランドGNDに接続されている。電源VDDとグランドGNDとの間に、電流源CS11と、トランジスタM13と、電流源CS12とが直列に接続されている。

【0012】

ドライブ回路1110によって生成された電流が入力端子Tinに入力される。電流値がI₁である定電流が電流源CS12に流れる。電流値がI₂である定電流が電流源CS11に流れる。インピーダンス変換回路1121は、電流値がI_{OUT}である電流を出力端子Toutから出力する。インピーダンス変換回路1121は、低入力インピーダンスかつ高出力インピーダンスの電流変換回路である。

30

【0013】

信号伝送回路1100および信号伝送回路1101と同等の回路が特許文献1に開示されている。

【先行技術文献】

【特許文献】

【0014】

40

【特許文献1】日本国特開2004-23135号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

信号伝送回路1100の問題点について説明する。帰還抵抗R12の抵抗値Rは1[K]であると仮定する。入力信号VINの電圧値VINの最大値VIN_{MAX}は2.0[V]であり、かつ入力信号VINの電圧値VINの最小値VIN_{MIN}は1.0[V]であると仮定する。インピーダンス変換回路1120に入力される電流値I_{IN}の最大値I_{IN_{MAX}}は2.0[mA]であり、かつその電流値I_{IN}の最小値I_{IN_{MIN}}は1.0[mA]であると仮定する。入力信号VINの電圧値VINが最大値VIN_{MAX}

50

$M A X$ であるとき、電流値 $I_{I N}$ は最大値 $I_{I N_M A X}$ である。入力信号 $V_{I N}$ の電圧値 $V_{I N}$ が最小値 $V_{I N_M I N}$ であるとき、電流値 $I_{I N}$ は最小値 $I_{I N_M I N}$ である。インピーダンス変換回路 1120 から出力される電流値 $I_{O U T}$ は、式 (21) で表される。

$$I_{O U T} = - I_{I N} \quad \dots (21)$$

【0016】

出力信号 $V_{O U T}$ の電圧値 $V_{O U T}$ は、式 (22) で表される。式 (22) において、 $V_{R E F}$ は基準電圧の電圧値である。式 (22) において、 R は帰還抵抗 R_{12} の抵抗値である。

$$V_{O U T} = V_{R E F} - R \times I_{O U T} \quad \dots (22)$$

10

【0017】

基準電圧の電圧値 $V_{R E F}$ が 1.0 [V] である場合、式 (21) と式 (22) とにより、出力信号 $V_{O U T}$ の電圧値 $V_{O U T}$ の最大値 $V_{O U T_M A X}$ は 3.0 [V] であり、かつ出力信号 $V_{O U T}$ の電圧値 $V_{O U T}$ の最小値 $V_{O U T_M I N}$ は 2.0 [V] である。入力信号 $V_{I N}$ の電圧値 $V_{I N}$ が最大値 $V_{I N_M A X}$ であるとき、電圧値 $V_{O U T}$ は最大値 $V_{O U T_M A X}$ である。入力信号 $V_{I N}$ の電圧値 $V_{I N}$ が最小値 $V_{I N_M I N}$ であるとき、電圧値 $V_{O U T}$ は最小値 $V_{O U T_M I N}$ である。

【0018】

上記のように、出力信号 $V_{O U T}$ の電圧値 $V_{O U T}$ は 2.0 [V] から 3.0 [V] である。基準電圧の電圧値 $V_{R E F}$ が 1.0 [V] であるため、電流 - 電圧変換回路 1130 は、1.0 [V] から 3.0 [V] の範囲において線形な出力特性を必要とする。このように、電流 - 電圧変換回路 1130 は、出力信号 $V_{O U T}$ の電圧値の範囲ではない 1.0 [V] から 2.0 [V] の範囲においても線形な出力特性を必要とする。これは、入力信号 $V_{I N}$ の電圧値 $V_{I N}$ の最小値 $V_{I N_M I N}$ に相当するオフセット電圧 (1.0 [V]) によるオフセット電流 (1.0 [mA]) がインピーダンス変換回路 1120 から出力されるためである。後段の回路において、上記の範囲と同一の範囲において線形な入力特性を必要とする。例えば、後段の回路は、AD変換回路である。

20

【0019】

信号伝送回路 1101 においても、電流源 $C S_{11}$ に流れる定電流 (I_2) と電流源 $C S_{12}$ に流れる定電流 (I_1) とによっては、上記と同様の問題がある。

30

【0020】

本発明は、入力信号のオフセット電圧に基づくオフセット電流を低減することができる信号伝送回路および内視鏡システムを提供することを目的とする。

【課題を解決するための手段】

【0021】

本発明の第1の態様によれば、信号伝送回路は、インピーダンス変換回路と電流 - 電圧変換回路とを有する。第1の電流が前記インピーダンス変換回路に入力される。前記インピーダンス変換回路は、前記第1の電流に応じた第2の電流を出力する。前記電流 - 電圧変換回路は、前記インピーダンス変換回路から出力される前記第2の電流を電圧に変換する。前記インピーダンス変換回路は、第1の電流源と電流出力回路とを有する。前記第1の電流源は、基準電流を生成する。前記電流出力回路は、前記第1の電流と前記基準電流との差分または和に応じた前記第2の電流を出力する。

40

【0022】

本発明の第2の態様によれば、第1の態様において、前記信号伝送回路は、前記インピーダンス変換回路と前記電流 - 電圧変換回路との間に配置され、かつ前記インピーダンス変換回路と前記電流 - 電圧変換回路との電氣的接続のオンとオフとを切り替えるスイッチをさらに有してもよい。前記インピーダンス変換回路は、前記スイッチがオフであるときに前記インピーダンス変換回路に入力された前記第1の電流を前記基準電流に変換してもよい。前記第1の電流源は、前記スイッチがオフであるときに前記基準電流を保持してもよい。前記インピーダンス変換回路は、前記スイッチがオンであるときに前記第2の電流

50

を出力してもよい。

【0023】

本発明の第3の態様によれば、第2の態様において、前記インピーダンス変換回路は、第1のトランジスタと第2のトランジスタとをさらに有してもよい。前記第1のトランジスタと前記第2のトランジスタとは、カレントミラーを構成してもよい。第1の電源と第2の電源との間に、前記第1の電流源と、前記第2のトランジスタとが直列に接続されてもよい。前記第1の電流は、前記第1のトランジスタに入力されてもよい。前記第2のトランジスタは、前記スイッチに接続されてもよい。

【0024】

本発明の第4の態様によれば、第2の態様において、前記電流出力回路は、トランジスタと第2の電流源とをさらに有してもよい。第1の電源と第2の電源との間に、前記第1の電流源と、前記トランジスタと、前記第2の電流源とが直列に接続されてもよい。前記トランジスタは、第1の端子と第2の端子と制御端子とを有してもよい。前記第1の端子と前記第2の端子とのいずれか1つは前記スイッチに接続され、かつ前記制御端子は第3の電源に接続されてもよい。前記第1の電流源は、前記第1の端子と前記第2の端子とのうち、前記スイッチと接続される端子に接続されてもよい。前記第2の電流源は、前記第1の端子と前記第2の端子とのうち、前記第1の電流源が接続される端子と異なる端子に接続されてもよい。前記第1の端子と前記第2の端子とのうち、前記第1の電流源が接続される端子と異なる端子に前記第1の電流が入力されてもよい。

10

【0025】

本発明の第5の態様によれば、内視鏡システムは、内視鏡スコープと、前記信号伝送回路とを有する。前記内視鏡スコープは、撮像素子と、伝送バッファとを有する。前記撮像素子は、撮像信号を出力する。前記伝送バッファは、前記撮像素子の内部または外部に配置され、かつ前記撮像信号に基づく前記第1の電流を出力する。前記信号伝送回路は、前記伝送バッファに接続されている。

20

【発明の効果】

【0026】

上記の各態様によれば、電流出力回路は、第1の電流と基準電流との差分または和に応じた第2の電流を出力する。このため、信号伝送回路および内視鏡システムは、入力信号のオフセット電圧に基づくオフセット電流を低減することができる。

30

【図面の簡単な説明】

【0027】

【図1】本発明の第1の実施形態の信号伝送回路の構成を示す回路図である。

【図2】本発明の第1の実施形態の変形例の信号伝送回路の構成を示す回路図である。

【図3】本発明の第2の実施形態の信号伝送回路の構成を示す回路図である。

【図4】本発明の第2の実施形態の第1の変形例の信号伝送回路の構成を示す回路図である。

【図5】本発明の第2の実施形態の第2の変形例の信号伝送回路の構成を示す回路図である。

【図6】本発明の第3の実施形態の信号伝送回路の構成を示す回路図である。

40

【図7】本発明の第4の実施形態の内視鏡システムの構成を示す模式図である。

【図8】本発明の第4の実施形態の内視鏡システムの構成を示すブロック図である。

【図9】従来技術の信号伝送回路の構成を示す回路図である。

【図10】従来技術の信号伝送回路の構成を示す回路図である。

【発明を実施するための形態】

【0028】

図面を参照し、本発明の実施形態を説明する。

【0029】

(第1の実施形態)

図1は、本発明の第1の実施形態の信号伝送回路100の構成を示している。図1に示

50

すように、信号伝送回路 100 は、インピーダンス変換回路 120 と電流 - 電圧変換回路 130 とを有する。インピーダンス変換回路 120 と電流 - 電圧変換回路 130 とは、信号処理回路を構成する。信号伝送回路 100 の入力側にドライブ回路 110 が配置されている。

【0030】

ドライブ回路 110 は、トランジスタ M0 を有する。トランジスタ M0 は、NMOS トランジスタである。トランジスタ M0 は、ソース端子と、ドレイン端子と、ゲート端子とを有する。トランジスタ M0 のドレイン端子は、電源 VDD に接続されている。トランジスタ M0 のソース端子は、伝送ケーブル CB1 に接続されている。入力信号 VIN がトランジスタ M0 のゲート端子に入力される。ドライブ回路 110 は、入力信号 VIN をトランジスタ M0 の相互コンダクタンス gm により第 1 の電流に変換する。第 1 の電流の電流値は、 I_{IN} である。ドライブ回路 110 によって生成された第 1 の電流は、伝送ケーブル CB1 と、インピーダンスマッチング用のマッチング素子 Z1 とを介してインピーダンス変換回路 120 に入力される。

10

【0031】

図 1 においてマッチング素子 Z1 は、伝送ケーブル CB1 とインピーダンス変換回路 120 との間に配置されている。マッチング素子 Z1 は、ドライブ回路 110 と伝送ケーブル CB1 との間に配置されてもよい。マッチング素子 Z1 は、ドライブ回路 110 と伝送ケーブル CB1 との間および伝送ケーブル CB1 とインピーダンス変換回路 120 との間に配置されてもよい。

20

【0032】

ドライブ回路 110 によって生成された第 1 の電流がインピーダンス変換回路 120 に入力される。インピーダンス変換回路 120 は、第 1 の電流に応じた第 2 の電流を出力する。インピーダンス変換回路 120 は、低入力インピーダンスかつ高出力インピーダンスの電流変換回路である。インピーダンス変換回路 120 は、電流源 140 と、電流出力回路 150 とを有する。

【0033】

電流源 140 は、定電流源である。電流源 140 は、基準電流を生成する。電流源 140 が出力する電流値は、制御信号 CTRL によって制御される。電流出力回路 150 は、第 1 の電流と基準電流との差分に応じた第 2 の電流を出力する。

30

【0034】

インピーダンス変換回路 120 に入力される第 1 の電流の電流値は I_{IN} であり、かつ基準電流の電流値は I_2 である。インピーダンス変換回路 120 から出力される電流値 I_{OUT} は、式 (1) で表される。

$$I_{OUT} = I_2 - I_{IN} \quad \dots (1)$$

【0035】

インピーダンス変換回路 120 から出力された第 2 の電流が電流 - 電圧変換回路 130 に入力される。電流 - 電圧変換回路 130 は、第 2 の電流を電圧に変換し、かつ電圧を出力信号 VOUT として出力する。

【0036】

出力信号 VOUT の電圧値 V_{OUT} は、式 (2) で表される。式 (2) において、 V_{REF} は、電流 - 電圧変換回路 130 の基準電圧の電圧値である。式 (2) において、R は電流 - 電圧変換回路 130 の内部抵抗の抵抗値である。

40

$$V_{OUT} = V_{REF} - R \times I_{OUT} \quad \dots (2)$$

【0037】

電流 - 電圧変換回路 130 の内部抵抗の抵抗値 R は 1 [K] であると仮定する。入力信号 VIN の電圧値 V_{IN} の最大値 V_{IN_MAX} は 2.0 [V] であり、かつ入力信号 VIN の電圧値 V_{IN} の最小値 V_{IN_MIN} は 1.0 [V] であると仮定する。インピーダンス変換回路 120 に入力される電流値 I_{IN} の最大値 I_{IN_MAX} は 2.0 [mA] であり、かつその電流値 I_{IN} の最小値 I_{IN_MIN} は 1.0 [mA] であると仮

50

定する。入力信号 V_{IN} の電圧値 V_{IN} が最大値 V_{IN_MAX} であるとき、電流値 I_{IN} は最大値 I_{IN_MAX} である。入力信号 V_{IN} の電圧値 V_{IN} が最小値 V_{IN_MIN} であるとき、電流値 I_{IN} は最小値 I_{IN_MIN} である。

【0038】

基準電流の電流値 I_2 は、基準レベルの入力信号 V_{IN} が信号伝送回路 100 に入力されたときにインピーダンス変換回路 120 に入力される電流値と同一になるように制御される。基準レベルの入力信号 V_{IN} の電圧値 V_{IN} は、最大値 V_{IN_MAX} と同一である。このとき、インピーダンス変換回路 120 に入力される電流値は、最大値 I_{IN_MAX} である。このため、インピーダンス変換回路 120 から出力される電流値 I_{OUT} は、式 (1) により式 (3) で表される。

$$I_{OUT} = I_{IN_MAX} - I_{IN} \quad \dots (3)$$

【0039】

電流値 I_{IN} が $1.0 [mA]$ から $2.0 [mA]$ であり、かつ電流値 I_{IN_MAX} が $2.0 [mA]$ である場合、インピーダンス変換回路 120 から出力される電流値 I_{OUT} は、式 (3) により式 (4) で表される。

$$I_{OUT} = I_{IN_MAX} - I_{IN_MIN} \quad \dots (4)$$

【0040】

式 (4) に示すように、最大値 V_{IN_MAX} の入力信号 V_{IN} が信号伝送回路 100 に入力されたとき、インピーダンス変換回路 120 から出力される電流値 I_{OUT} はゼロである。このため、インピーダンス変換回路 120 から出力される電流値 I_{OUT} はオフセット電流を含まない。

【0041】

基準電圧の電圧値 V_{REF} が $1.0 [V]$ である場合、式 (2) と式 (4) とにより、出力信号 V_{OUT} の電圧値 V_{OUT} の最大値 V_{OUT_MAX} は $1.0 [V]$ であり、かつ出力信号 V_{OUT} の電圧値 V_{OUT} の最小値 V_{OUT_MIN} は $0 [V]$ である。つまり、電流 - 電圧変換回路 130 は、 $0 [V]$ から $1.0 [V]$ の範囲において線形な出力特性を必要とする。したがって、従来技術と比較して、電流 - 電圧変換回路 130 において線形な出力特性を必要とする電圧の範囲が縮小する。この結果、電流 - 電圧変換回路 130 の設計が容易になる。

【0042】

電流出力回路 150 は、第 1 の電流と基準電流との和に応じた第 2 の電流を出力してもよい。基準電流は、定電流成分を含んでもよい。第 2 の電流は、第 1 の電流と基準電流との和から定電流成分を除いた電流であってもよい。

【0043】

上記のように、信号伝送回路 100 は、インピーダンス変換回路 120 と電流 - 電圧変換回路 130 とを有する。第 1 の電流がインピーダンス変換回路 120 に入力される。インピーダンス変換回路 120 は、第 1 の電流に応じた第 2 の電流を出力する。電流 - 電圧変換回路 130 は、インピーダンス変換回路 120 から出力される第 2 の電流を電圧に変換する。インピーダンス変換回路 120 は、電流源 140 (第 1 の電流源) と電流出力回路 150 とを有する。電流源 140 は、基準電流を生成する。電流出力回路 150 は、第 1 の電流と基準電流との差分または和に応じた第 2 の電流を出力する。

【0044】

本発明の各態様の信号伝送回路は、ドライブ回路 110 と、伝送ケーブル CB1 と、マッチング素子 Z1 との少なくとも 1 つに対応する構成を有していなくてもよい。

【0045】

第 1 の実施形態では、電流出力回路 150 は、第 1 の電流と基準電流との差分または和に応じた第 2 の電流を出力する。このため、信号伝送回路 100 は、入力信号のオフセット電圧に基づくオフセット電流を低減することができる。

【0046】

(第 1 の実施形態の変形例)

10

20

30

40

50

図2は、第1の実施形態の変形例の信号伝送回路101の構成を示している。図2に示すように、信号伝送回路101は、インピーダンス変換回路120と電流-電圧変換回路130とを有する。信号伝送回路101は、図1に示す信号伝送回路100と同一である。図2に示す構成について、図1に示す構成と異なる点を説明する。

【0047】

信号伝送回路101の入力側にドライブ回路111が配置されている。ドライブ回路111は、トランジスタM0aと抵抗R1とを有する。抵抗R1は、第1の端子と第2の端子とを有する。抵抗R1の第1の端子は、電源VDDに接続されている。トランジスタM0aは、PMOSトランジスタである。トランジスタM0aは、ソース端子と、ドレイン端子と、ゲート端子とを有する。トランジスタM0aのソース端子は、抵抗R1の第2の端子に接続されている。トランジスタM0aのドレイン端子は、伝送ケーブルCB1に接続されている。入力信号VINがトランジスタM0aのゲート端子に入力される。ドライブ回路111は、入力信号VINの電圧と抵抗R1の抵抗値とに応じた電流を出力する。

10

【0048】

上記以外の点については、図2に示す構成は、図1に示す構成と同様である。

【0049】

ドライブ回路111は、抵抗R1の抵抗値に応じた電流を出力する。このため、ドライブ回路111が出力する電流値の設計が容易である。

【0050】

(第2の実施形態)

20

図3は、本発明の第2の実施形態の信号伝送回路102の構成を示している。図3に示すように、信号伝送回路102は、インピーダンス変換回路122と、電流-電圧変換回路132と、スイッチSW1とを有する。インピーダンス変換回路122と電流-電圧変換回路132とは、信号処理回路を構成する。図3に示す構成について、図1に示す構成と異なる点を説明する。

【0051】

インピーダンス変換回路122は、電流源142と電流出力回路152とを有する。電流源142は、トランジスタMrと、スイッチSW2と、容量素子C1とを有する。例えば、トランジスタMrは、PMOSトランジスタである。トランジスタMrは、ソース端子と、ドレイン端子と、ゲート端子とを有する。

30

【0052】

トランジスタMrのソース端子は、電源VDDに接続されている。トランジスタMrのドレイン端子は、出力端子Toutに接続されている。トランジスタMrのゲート端子は、容量素子C1に接続されている。容量素子C1の電圧に応じた電流がトランジスタMrのソース端子とトランジスタMrのドレイン端子との間に流れる。

【0053】

スイッチSW2は、第1の端子と第2の端子とを有する。スイッチSW2の第1の端子は、トランジスタMrのゲート端子に接続されている。スイッチSW2の第2の端子は、トランジスタMrのドレイン端子に接続されている。

【0054】

40

スイッチSW2は、オンとオフとを切り替えることができる素子である。スイッチSW2がオンである場合、容量素子C1の第1の端子は、出力端子Toutに電氣的に接続される。

【0055】

容量素子C1は、第1の端子と第2の端子とを有する。容量素子C1の第1の端子は、トランジスタMrのゲート端子とスイッチSW2の第1の端子とに接続されている。容量素子C1の第2の端子は、電源VDDに接続されている。

【0056】

スイッチSW2と容量素子C1とは、サンプルホールド回路を構成する。スイッチSW2は、出力端子Toutの電圧をサンプリングする。容量素子C1は、スイッチSW2に

50

よってサンプリングされた電圧を保持する。つまり、容量素子C 1は、サンプリング容量である。

【0057】

電流源142は、定電流源である。電流源142が出力する電流の電流値は I_2 である。

【0058】

電流出力回路152は、カレントミラーを構成するトランジスタM1とトランジスタM2とを有する。トランジスタM1とトランジスタM2とは、NMOSTランジスタである。トランジスタM1とトランジスタM2とは、ソース端子と、ドレイン端子と、ゲート端子とを有する。トランジスタM1のドレイン端子は、入力端子Tinに接続されている。トランジスタM1のソース端子は、グランドGNDに接続されている。トランジスタM1のゲート端子は、トランジスタM1のドレイン端子に接続されている。トランジスタM2のドレイン端子は、出力端子Toutに接続されている。トランジスタM2のソース端子は、グランドGNDに接続されている。トランジスタM2のゲート端子は、トランジスタM1のゲート端子に接続されている。トランジスタM2は、出力端子Toutを介してスイッチSW1に接続されている。電源VDDとグランドGNDとの間に、電流源142とトランジスタM2とが直列に接続されている。

10

【0059】

ドライブ回路110によって生成された第1の電流が入力端子Tinに入力される。第1の電流は、入力端子Tinを介してトランジスタM1に入力される。第1の電流は、トランジスタM1のドレイン端子とソース端子との間に流れる。トランジスタM1とトランジスタM2とのミラー比に応じた電流がトランジスタM2のドレイン端子とソース端子との間に流れる。トランジスタM1とトランジスタM2とのW/L比が同じであると仮定する。トランジスタM1の係数がmであり、トランジスタM2の係数がnである場合、トランジスタM2に流れる電流の電流値は $(n/m) \times I_{IN}$ である。トランジスタM1とトランジスタM2との係数が同一である場合、トランジスタM1とトランジスタM2とに流れる電流は同一である。インピーダンス変換回路122は、電流値が I_{OUT} である電流を出力端子Toutから出力する。インピーダンス変換回路122は、低入力インピーダンスかつ高出力インピーダンスの電流変換回路である。

20

【0060】

スイッチSW1は、インピーダンス変換回路122と電流 - 電圧変換回路132との間に配置されている。スイッチSW1は、第1の端子と第2の端子とを有する。スイッチSW1の第1の端子は、インピーダンス変換回路122に接続されている。スイッチSW1の第2の端子は、電流 - 電圧変換回路132に接続されている。

30

【0061】

スイッチSW1は、インピーダンス変換回路122と電流 - 電圧変換回路132との電氣的接続のオンとオフとを切り替える。スイッチSW1がオンである場合、インピーダンス変換回路122と電流 - 電圧変換回路132とは電氣的に接続される。スイッチSW1がオフである場合、インピーダンス変換回路122と電流 - 電圧変換回路132とは、電氣的に絶縁される。

40

【0062】

電流 - 電圧変換回路132は、帰還抵抗R2とオペアンプOP1とを有する。帰還抵抗R2は、第1の端子と第2の端子とを有する。オペアンプOP1は、非反転入力端子と、反転入力端子と、出力端子とを有する。帰還抵抗R2の第1の端子は、オペアンプOP1の反転入力端子に接続されている。帰還抵抗R2の第2の端子は、オペアンプOP1の出力端子に接続されている。オペアンプOP1の反転入力端子は、スイッチSW1の第2の端子に接続されている。オペアンプOP1の非反転入力端子は、基準電圧VREFを出力する電源に接続されている。

【0063】

インピーダンス変換回路122から出力された電流が電流 - 電圧変換回路132に入力

50

される。電流 - 電圧変換回路 132 は、電流を電圧に変換し、かつ電圧を出力信号 V_{OUT} として出力する。

【0064】

上記以外の点については、図3に示す構成は、図1に示す構成と同様である。

【0065】

信号伝送回路 102 の動作を説明する。説明を容易にするために、トランジスタ M_1 とトランジスタ M_2 とのミラー比は 1 であると仮定する。入力信号 V_{IN} として、基準レベルと信号レベルとの各々の信号が信号伝送回路 102 に入力される。信号レベルの入力信号 V_{IN} の電圧値 V_{IN} が最大値 V_{IN_MAX} であるとき、電流値 I_{IN} は最大値 I_{IN_MAX} である。信号レベルの入力信号 V_{IN} の電圧値 V_{IN} が最小値 V_{IN_MIN} であるとき、電流値 I_{IN} は最小値 I_{IN_MIN} である。入力信号 V_{IN} の電圧値 V_{IN} の最大値 V_{IN_MAX} と入力信号 V_{IN} の電圧値 V_{IN} の最小値 V_{IN_MIN} とは、既知である。基準レベルの入力信号 V_{IN} の電圧値 V_{IN} は、入力信号 V_{IN} の電圧値 V_{IN} の最大値 V_{IN_MAX} と同一である。

10

【0066】

第1の期間において、スイッチ SW_1 はオフに制御され、かつスイッチ SW_2 はオンに制御される。これによって、インピーダンス変換回路 122 と電流 - 電圧変換回路 132 とは、電氣的に絶縁される。基準レベルの入力信号 V_{IN} が信号伝送回路 102 に入力される。

【0067】

20

基準レベルの入力信号 V_{IN} が信号伝送回路 102 に入力されたとき、インピーダンス変換回路 122 に入力される第1の電流の電流値 I_{IN} は、 I_{IN_MAX} である。第1の電流は、トランジスタ M_1 に入力される。トランジスタ M_2 は、第1の電流と電流値が同一である基準電流を出力する。スイッチ SW_1 がオフであるため、トランジスタ M_2 に流れる電流と同一の電流がトランジスタ M_r に流れる。つまり、基準電流がトランジスタ M_r に流れる。トランジスタ M_r に基準電流が流れるのに必要な電圧がスイッチ SW_2 によって容量素子 C_1 にサンプリングされる。容量素子 C_1 は、サンプリングされた電圧を保持する。

【0068】

第1の期間よりも後の第2の期間において、スイッチ SW_1 はオンに制御され、かつスイッチ SW_2 はオフに制御される。これによって、インピーダンス変換回路 122 と電流 - 電圧変換回路 132 とは、電氣的に接続される。また、トランジスタ M_r に流れる電流の電流値 I_2 は I_{IN_MAX} に固定される。

30

【0069】

その後、信号レベルの入力信号 V_{IN} が信号伝送回路 102 に入力される。電流出力回路 152 は、第1の電流と基準電流との差分に応じた第2の電流を出力する。第2の電流の電流値 I_{OUT} は、式(5)で表される。

$$I_{OUT} = I_{IN_MAX} - I_{IN} \quad \dots (5)$$

【0070】

出力信号 V_{OUT} の電圧値 V_{OUT} は、第1の実施形態に示す式(2)で表される。

40

【0071】

電流 - 電圧変換回路 132 の内部抵抗の抵抗値 R は $1 [K]$ であると仮定する。入力信号 V_{IN} の電圧値 V_{IN} の最大値 V_{IN_MAX} は $2.0 [V]$ であり、かつ入力信号 V_{IN} の電圧値 V_{IN} の最小値 V_{IN_MIN} は $1.0 [V]$ であると仮定する。インピーダンス変換回路 122 に入力される電流値 I_{IN} の最大値 I_{IN_MAX} は $2.0 [mA]$ であり、かつその電流値 I_{IN} の最小値 I_{IN_MIN} は $1.0 [mA]$ であると仮定する。

【0072】

電流値 I_{IN} が $1.0 [mA]$ から $2.0 [mA]$ であり、かつ電流値 I_{IN_MAX} が $2.0 [mA]$ である場合、インピーダンス変換回路 122 から出力される電流値 I_O

50

U_T は、式 (5) により式 (6) で表される。

$$0 \quad I_{OUT} \quad I_{IN_MAX} - I_{IN_MIN} \quad \dots \quad (6)$$

【0073】

式 (6) に示すように、最大値 V_{IN_MAX} の入力信号 V_{IN} が信号伝送回路 102 に入力されたとき、インピーダンス変換回路 122 から出力される電流値 I_{OUT} はゼロである。このため、インピーダンス変換回路 122 から出力される電流値 I_{OUT} はオフセット電流を含まない。

【0074】

式 (6) により、第 2 の電流の電流値 I_{OUT} は、0 [mA] から 1.0 [mA] である。基準電圧の電圧値 V_{REF} が 1.0 [V] である場合、式 (2) により、出力信号 V_{OUT} の電圧値 V_{OUT} の最大値 V_{OUT_MAX} は 1.0 [V] であり、かつ出力信号 V_{OUT} の電圧値 V_{OUT} の最小値 V_{OUT_MIN} は 0 [V] である。つまり、電流 - 電圧変換回路 132 は、0 [V] から 1.0 [V] の範囲において線形な出力特性を必要とする。したがって、従来技術と比較して、電流 - 電圧変換回路 132 において線形な出力特性を必要とする電圧の範囲が縮小する。この結果、電流 - 電圧変換回路 132 の設計が容易になる。

【0075】

信号伝送回路 102 に使用される各トランジスタの導電型は、上記の導電型と逆であってもよい。信号伝送回路 102 において MOS (Metal Oxide Semiconductor) トランジスタが使用されているが、バイポーラトランジスタが使用されてもよい。

【0076】

上記のように、信号伝送回路 102 は、スイッチ SW1 を有する。スイッチ SW1 は、インピーダンス変換回路 122 と電流 - 電圧変換回路 132 との間に配置され、かつインピーダンス変換回路 122 と電流 - 電圧変換回路 132 との電氣的接続のオンとオフとを切り替える。インピーダンス変換回路 122 は、スイッチ SW1 がオフであるときにインピーダンス変換回路 122 に入力された第 1 の電流を基準電流に変換する。電流源 142 (第 1 の電流源) は、スイッチ SW1 がオフであるときに基準電流を保持する。インピーダンス変換回路 122 は、スイッチ SW1 がオンであるときに第 2 の電流を出力する。

【0077】

インピーダンス変換回路 122 は、トランジスタ M1 (第 1 のトランジスタ) とトランジスタ M2 (第 2 のトランジスタ) とを有する。トランジスタ M1 とトランジスタ M2 とは、カレントミラーを構成する。第 1 の電源 (電源 VDD) と第 2 の電源 (グラウンド GND) との間に、電流源 142 と、トランジスタ M2 とが直列に接続される。第 1 の電流は、トランジスタ M1 に入力される。トランジスタ M2 は、スイッチ SW1 に接続される。

【0078】

第 2 の実施形態では、第 1 の実施形態と同様に、信号伝送回路 102 は、入力信号のオフセット電圧に基づくオフセット電流を低減することができる。

【0079】

(第 1 の変形例)

図 4 は、第 2 の実施形態の第 1 の変形例の信号伝送回路 103 の構成を示している。図 4 に示すように、信号伝送回路 103 は、インピーダンス変換回路 122 と、電流 - 電圧変換回路 133 と、スイッチ SW1 とを有する。インピーダンス変換回路 122 と電流 - 電圧変換回路 133 とは、信号処理回路を構成する。図 4 に示す構成について、図 3 に示す構成と異なる点を説明する。

【0080】

信号伝送回路 103 において、図 3 に示す電流 - 電圧変換回路 132 が電流 - 電圧変換回路 133 に変更される。電流 - 電圧変換回路 133 は、抵抗 R3 を有する。抵抗 R3 は、第 1 の端子と第 2 の端子とを有する。抵抗 R3 の第 1 の端子は、スイッチ SW1 の第 2 の端子に接続されている。抵抗 R3 の第 2 の端子は、グラウンド GND に接続されている。

10

20

30

40

50

【 0 0 8 1 】

上記以外の点については、図 4 に示す構成は、図 3 に示す構成と同様である。

【 0 0 8 2 】

(第 2 の変形例)

図 5 は、第 2 の実施形態の第 2 の変形例の信号伝送回路 1 0 4 の構成を示している。図 5 に示すように、信号伝送回路 1 0 4 は、インピーダンス変換回路 1 2 4 と、電流 - 電圧変換回路 1 3 2 と、スイッチ S W 1 とを有する。インピーダンス変換回路 1 2 4 と電流 - 電圧変換回路 1 3 2 とは、信号処理回路を構成する。図 5 に示す構成について、図 3 に示す構成と異なる点を説明する。

【 0 0 8 3 】

信号伝送回路 1 0 4 において、図 3 に示すインピーダンス変換回路 1 2 2 がインピーダンス変換回路 1 2 4 に変更される。インピーダンス変換回路 1 2 4 は、電流源 1 4 2 と、電流出力回路 1 5 2 と、電流源 C S 1 とを有する。

【 0 0 8 4 】

電流源 C S 1 は、第 1 の端子と第 2 の端子とを有する。電流源 C S 1 の第 1 の端子は、電源 V D D に接続されている。電流源 C S 1 の第 2 の端子は、入力端子 T i n に接続されている。電流源 C S 1 は、定電流源である。電流源 C S 1 が出力する電流の電流値は I_1 である。

【 0 0 8 5 】

上記以外の点については、図 5 に示す構成は、図 3 に示す構成と同様である。

【 0 0 8 6 】

インピーダンス変換回路 1 2 4 に入力された電流 ($I_{I N}$) と、電流源 C S 1 が出力する電流 (I_1) との和 ($I_{M 1}$) がトランジスタ M 1 に流れる。電流源 C S 1 が出力する電流に応じて、トランジスタ M 1 に流れる電流を変更することができる。このため、電流出力回路 1 5 2 の設計の自由度が大きくなる。

【 0 0 8 7 】

(第 3 の実施形態)

図 6 は、本発明の第 3 の実施形態の信号伝送回路 1 0 5 の構成を示している。図 6 に示すように、信号伝送回路 1 0 5 は、インピーダンス変換回路 1 2 5 と、電流 - 電圧変換回路 1 3 2 と、スイッチ S W 1 とを有する。インピーダンス変換回路 1 2 5 と電流 - 電圧変換回路 1 3 2 とは、信号処理回路を構成する。図 6 に示す構成について、図 3 に示す構成と異なる点を説明する。

【 0 0 8 8 】

信号伝送回路 1 0 5 において、図 3 に示すインピーダンス変換回路 1 2 2 がインピーダンス変換回路 1 2 5 に変更される。インピーダンス変換回路 1 2 5 は、電流源 1 4 2 と電流出力回路 1 5 5 とを有する。電流出力回路 1 5 5 は、トランジスタ M 3 と電流源 C S 2 とを有する。

【 0 0 8 9 】

トランジスタ M 3 は、N M O S トランジスタである。トランジスタ M 3 は、ゲート接地型のトランジスタである。トランジスタ M 3 は、ソース端子と、ドレイン端子と、ゲート端子とを有する。トランジスタ M 3 のソース端子は、入力端子 T i n に接続されている。トランジスタ M 3 のドレイン端子は、出力端子 T o u t に接続されている。したがって、トランジスタ M 3 のドレイン端子は、出力端子 T o u t を介してスイッチ S W 1 と電流源 1 4 2 とに接続されている。トランジスタ M 3 のゲート端子は、電源 V 1 に接続されている。電源 V 1 は、電源 V D D と同一であってもよい。

【 0 0 9 0 】

電流源 C S 2 は、第 1 の端子と第 2 の端子とを有する。電流源 C S 2 の第 1 の端子は、入力端子 T i n に接続されている。電流源 C S 2 の第 2 の端子は、グランド G N D に接続されている。電流源 C S 2 は、定電流源である。電流源 C S 2 が出力する電流の電流値は I_1 である。電源 V D D とグランド G N D との間に、電流源 1 4 2 と、トランジスタ M 3

10

20

30

40

50

と、電流源CS2とが直列に接続されている。

【0091】

ドライブ回路110によって生成された第1の電流が入力端子Tinに入力される。第1の電流は、入力端子Tinを介してトランジスタM3のソース端子に入力される。インピーダンス変換回路125に入力される電流値 I_{IN} と、電流源142に流れる電流値 I_2 との和は、電流源CS2に流れる電流値 I_1 と、出力端子Toutから出力される電流値 I_{OUT} との和と同一である。つまり、式(7)が満たされる。

$$I_{IN} + I_2 = I_1 + I_{OUT} \quad \dots (7)$$

【0092】

インピーダンス変換回路125は、電流値が I_{OUT} である電流を出力端子Toutから出力する。インピーダンス変換回路125は、低入力インピーダンスかつ高出力インピーダンスの電流変換回路である。

【0093】

上記以外の点については、図6に示す構成は、図3に示す構成と同様である。

【0094】

信号伝送回路105の動作を説明する。入力信号VINとして、基準レベルと信号レベルとの各々の信号が信号伝送回路105に入力される。信号レベルの入力信号VINの電圧値 V_{IN} が最大値 V_{IN_MAX} であるとき、電流値 I_{IN} は最大値 I_{IN_MAX} である。信号レベルの入力信号VINの電圧値 V_{IN} が最小値 V_{IN_MIN} であるとき、電流値 I_{IN} は最小値 I_{IN_MIN} である。入力信号VINの電圧値 V_{IN} の最大値 V_{IN_MAX} と入力信号VINの電圧値 V_{IN} の最小値 V_{IN_MIN} とは、既知である。基準レベルの入力信号VINの電圧値 V_{IN} は、入力信号VINの電圧値 V_{IN} の最大値 V_{IN_MAX} と同一である。

【0095】

第1の期間において、スイッチSW1はオフに制御され、かつスイッチSW2はオンに制御される。これによって、インピーダンス変換回路125と電流-電圧変換回路132とは、電気的に絶縁される。基準レベルの入力信号VINが信号伝送回路105に入力される。

【0096】

基準レベルの入力信号VINが信号伝送回路105に入力されたとき、インピーダンス変換回路125に入力される第1の電流の電流値 I_{IN} は、 I_{IN_MAX} である。スイッチSW1がオフであるため、式(7)において I_{OUT} はゼロである。このため、式(8)が満たされる。

$$I_{IN_MAX} + I_2 = I_1 \quad \dots (8)$$

【0097】

式(8)を満たす電流値 I_2 を有する電流がトランジスタMrに流れる。つまり、基準電流がトランジスタMrに流れる。トランジスタMrに基準電流が流れるのに必要な電圧がスイッチSW2によって容量素子C1にサンプリングされる。容量素子C1は、サンプリングされた電圧を保持する。基準電流の電流値 I_2 は、式(9)で表される。基準電流は、電流源CS2が出力する電流(定電流成分)を含む。

$$I_2 = I_1 - I_{IN_MAX} \quad \dots (9)$$

【0098】

第1の期間よりも後の第2の期間において、スイッチSW1はオンに制御され、かつスイッチSW2はオフに制御される。これによって、インピーダンス変換回路125と電流-電圧変換回路132とは、電気的に接続される。また、トランジスタMrに流れる電流の電流値 I_2 は式(9)が示す値に固定される。

【0099】

その後、信号レベルの入力信号VINが信号伝送回路105に入力される。電流出力回路155は、第2の電流を出力する。第2の電流の電流値 I_{OUT} は、式(7)と式(9)とにより式(10)で表される。つまり、電流出力回路155は、第1の電流と基準電

10

20

30

40

50

流との和に応じた第2の電流を出力する。第2の電流は、第1の電流と基準電流との和から電流源CS2の定電流成分を除いた電流である。

$$\begin{aligned} I_{OUT} &= I_{IN} + I_2 - I_1 \\ &= I_{IN} - I_{IN_MAX} \cdots (10) \end{aligned}$$

【0100】

出力信号VOUTの電圧値VOUTは、第1の実施形態に示す式(2)で表される。

【0101】

電流-電圧変換回路132の内部抵抗の抵抗値Rは1[K]であると仮定する。入力信号VINの電圧値VINの最大値VIN_MAXは2.0[V]であり、かつ入力信号VINの電圧値VINの最小値VIN_MINは1.0[V]であると仮定する。インピーダンス変換回路125に入力される電流値IINの最大値IIN_MAXは2.0[mA]であり、かつその電流値IINの最小値IIN_MINは1.0[mA]であると仮定する。

10

【0102】

電流値IINが1.0[mA]から2.0[mA]であり、かつ電流値IIN_MAXが2.0[mA]である場合、インピーダンス変換回路125から出力される電流値IOUTは、式(10)により式(11)で表される。

$$I_{IN_MIN} - I_{IN_MAX} \quad I_{OUT} \quad 0 \cdots (11)$$

【0103】

式(11)に示すように、最大値VIN_MAXの入力信号VINが信号伝送回路105に入力されたとき、インピーダンス変換回路125から出力される電流値IOUTはゼロである。このため、インピーダンス変換回路125から出力される電流値IOUTはオフセット電流を含まない。

20

【0104】

式(11)により、第2の電流の電流値IOUTは、-1.0[mA]から0[mA]である。基準電圧の電圧値VREFが1.0[V]である場合、式(2)により、出力信号VOUTの電圧値VOUTの最大値VOUT_MAXは2.0[V]であり、かつ出力信号VOUTの電圧値VOUTの最小値VOUT_MINは1.0[V]である。つまり、電流-電圧変換回路132は、1.0[V]から2.0[V]の範囲において線形な出力特性を必要とする。したがって、従来技術と比較して、電流-電圧変換回路132において線形な出力特性を必要とする電圧の範囲が縮小する。この結果、電流-電圧変換回路132の設計が容易になる。

30

【0105】

信号伝送回路105に使用される各トランジスタの導電型は、上記の導電型と逆であってもよい。信号伝送回路105においてMOS(Metal Oxide Semiconductor)トランジスタが使用されているが、バイポーラトランジスタが使用されてもよい。

【0106】

電流-電圧変換回路132の代わりに電流-電圧変換回路133が使用されてもよい。インピーダンス変換回路125は、電流源CS1を有してもよい。

40

【0107】

上記のように、電流出力回路155は、トランジスタM3と電流源CS2(第2の電流源)とを有する。第1の電源(電源VDD)と第2の電源(グランドGND)との間に、電流源142と、トランジスタM3と、電流源CS2とが直列に接続される。トランジスタM3は、第1の端子(ソース端子)と第2の端子(ドレイン端子)と制御端子(ゲート端子)とを有する。第1の端子と第2の端子とのいずれか1つはスイッチSW1に接続され、かつ制御端子は電源V1(第3の電源)に接続される。電流源142は、第1の端子と第2の端子とのうち、スイッチSW1と接続される端子に接続される。電流源CS2は、第1の端子と第2の端子とのうち、電流源142が接続される端子と異なる端子に接続される。第1の端子と第2の端子とのうち、電流源142が接続される端子と異なる端子

50

に第 1 の電流が入力される。

【 0 1 0 8 】

第 3 の実施形態では、第 1 の実施形態と同様に、信号伝送回路 1 0 5 は、入力信号のオフセット電圧に基づくオフセット電流を低減することができる。

【 0 1 0 9 】

(第 4 の実施形態)

図 7 は、本発明の第 4 の実施形態の内視鏡システム 1 の構成を示している。図 7 に示すように、内視鏡システム 1 は、内視鏡スコープ 2 と、伝送ケーブル 3 と、操作部 4 と、コネクタ部 5 と、プロセッサ 6 と、表示装置 7 とを有する。

【 0 1 1 0 】

内視鏡スコープ 2 は、被検体に挿入される挿入部 7 0 を有する。挿入部 7 0 は、伝送ケーブル 3 の一部である。挿入部 7 0 は、被検体の内部に挿入される。内視鏡スコープ 2 は、被検体の内部の画像を撮像することにより撮像信号 (画像データ) を生成する。内視鏡スコープ 2 は、生成された撮像信号をプロセッサ 6 に出力する。図 8 に示す撮像部 2 0 が挿入部 7 0 の先端 7 1 に配置されている。挿入部 7 0 において、先端 7 1 と反対側の端部に、操作部 4 が接続される。操作部 4 は、内視鏡スコープ 2 に対する各種操作を受け付ける。

【 0 1 1 1 】

伝送ケーブル 3 は、内視鏡スコープ 2 の撮像部 2 0 とコネクタ部 5 とを接続する。撮像部 2 0 によって生成された撮像信号は、伝送ケーブル 3 を介してコネクタ部 5 に出力される。

【 0 1 1 2 】

コネクタ部 5 は、内視鏡スコープ 2 とプロセッサ 6 とに接続されている。コネクタ部 5 は、内視鏡スコープ 2 から出力された撮像信号に所定の信号処理を行う。さらに、コネクタ部 5 は、アナログの撮像信号をデジタル信号に A / D 変換する。コネクタ部 5 は、デジタル信号である撮像信号をプロセッサ 6 に出力する。

【 0 1 1 3 】

プロセッサ 6 は、コネクタ部 5 から出力された撮像信号に所定の画像処理を行い、かつ画像信号を生成する。さらに、プロセッサ 6 は、内視鏡システム 1 の全体を統括的に制御する。

【 0 1 1 4 】

表示装置 7 は、プロセッサ 6 によって処理された画像信号に対応する画像を表示する。また、表示装置 7 は、内視鏡システム 1 に関する各種情報を表示する。

【 0 1 1 5 】

内視鏡システム 1 は、被検体に照射される照明光を生成する光源装置を有する。図 7 では、光源装置は省略されている。

【 0 1 1 6 】

図 8 は、内視鏡システム 1 の内部の構成を示している。図 8 に示すように、内視鏡システム 1 は、撮像部 2 0 と、伝送ケーブル 3 と、コネクタ部 5 と、プロセッサ 6 とを有する。

【 0 1 1 7 】

撮像部 2 0 は、第 1 のチップ 2 1 と、第 2 のチップ 2 2 とを有する。第 1 のチップ 2 1 は、受光部 2 3 と、読み出し部 2 4 と、タイミング生成部 2 5 と、バッファ 2 6 とを有する。撮像部 2 0 は、撮像素子として機能する。撮像部 2 0 は、撮像信号を出力する。

【 0 1 1 8 】

受光部 2 3 は、複数の画素を有し、入射した光に基づく撮像信号を生成する。読み出し部 2 4 は、受光部 2 3 によって生成された撮像信号を読み出す。さらに、読み出し部 2 4 は、基準信号を生成する。タイミング生成部 2 5 は、コネクタ部 5 から出力された基準クロック信号と同期信号とに基づいてタイミング信号を生成する。タイミング生成部 2 5 によって生成されたタイミング信号は読み出し部 2 4 に出力される。読み出し部 2 4 は、タ

10

20

30

40

50

イミング信号に従って撮像信号を読み出す。バッファ26は、受光部23から読み出された撮像信号と基準信号とを一時的に保持する。第1のチップ21は、バッファ26から撮像信号を出力する。

【0119】

第2のチップ22は、バッファ27を有する。バッファ27は、第1のチップ21から出力された撮像信号を、伝送ケーブル3を介して、コネクタ部5に出力する。バッファ27は、ドライブ回路110またはドライブ回路111を含む。撮像信号が入力信号VINとしてドライブ回路110またはドライブ回路111に入力される。第1のチップ21と第2のチップ22とに搭載される回路の組み合わせは、設計に応じて適宜変更可能である。図8に示す内視鏡システム1において、バッファ27は撮像部20の内部に配置されている。バッファ27は、内視鏡スコープ2の内部であって、かつ撮像部20の外部に配置されてもよい。

10

【0120】

プロセッサ6によって生成された電源電圧と、グランド電圧とが伝送ケーブル3によって撮像部20に伝送される。撮像部20において、電源電圧を伝送する信号線と、グランド電圧を伝送する信号線との間には、電源安定用のコンデンサC100が配置されている。

【0121】

コネクタ部5は、アナログ・フロント・エンド部51（以下、AFE部51という）と、前処理部52と、制御信号生成部53とを有する。コネクタ部5は、内視鏡スコープ2（撮像部20）とプロセッサ6とを電気的に接続する。コネクタ部5と撮像部20とは、伝送ケーブル3により接続される。伝送ケーブル3は、伝送ケーブルCB1に対応する。コネクタ部5とプロセッサ6とは、コイルケーブルにより接続される。

20

【0122】

AFE部51（撮像信号処理回路）は、基準信号と撮像信号との差を演算する。さらに、AFE部51は、この差に基づく撮像信号にA/D変換を行う。AFE部51は、A/D変換によりデジタル信号に変換された撮像信号を前処理部52に出力する。AFE部51は、信号伝送回路100と信号伝送回路101と信号伝送回路102と信号伝送回路103と信号伝送回路104と信号伝送回路105とのいずれか1つを含む。

【0123】

前処理部52は、AFE部51から出力されたデジタルの撮像信号に対して、縦ライン除去およびノイズ除去等の所定の信号処理を行う。前処理部52は、信号処理が行われた撮像信号をプロセッサ6に出力する。

30

【0124】

内視鏡スコープ2の各部の動作の基準となる基準クロック信号がプロセッサ6から制御信号生成部53に供給される。例えば、基準クロック信号の周波数は、27MHzである。制御信号生成部53は、基準クロック信号に基づいて、各フレームのスタート位置を表す同期信号を生成する。制御信号生成部53は、基準クロック信号と同期信号とを、伝送ケーブル3を介して撮像部20のタイミング生成部25に出力する。制御信号生成部53によって生成される同期信号は、水平同期信号と垂直同期信号とを含む。

40

【0125】

プロセッサ6は、内視鏡システム1の全体を統括的に制御する制御装置である。プロセッサ6は、電源部61と、画像信号処理部62と、クロック生成部63と、制御部64とを有する。

【0126】

電源部61は、電源電圧を生成する。電源部61は、電源電圧とグランド電圧とを、コネクタ部5と伝送ケーブル3とを介して撮像部20に出力する。

【0127】

画像信号処理部62（画像信号生成回路）は、前処理部52によって処理されたデジタルの撮像信号に対して、所定の画像処理を行う。所定の画像処理は、同時化処理、ホワイ

50

トバランス(WB)調整処理、ゲイン調整処理、ガンマ補正処理、デジタルアナログ(D/A)変換処理、およびフォーマット変換処理等である。画像信号処理部62は、この画像処理により、撮像信号を画像信号に変換する。つまり、画像信号処理部62は、AFE部51によって演算された差に基づく撮像信号(差信号)を処理し、かつ、撮像信号に基づく画像信号を生成する。画像信号処理部62は、生成された画像信号を表示装置7に出力する。

【0128】

クロック生成部63は、内視鏡システム1の各部の動作の基準となる基準クロック信号を生成する。クロック生成部63は、生成された基準クロック信号を制御信号生成部53に出力する。

10

【0129】

制御部64は、制御信号をAFE部51に出力することにより、AFE部51を制御する。例えば、制御部64は、制御信号CTRLをAFE部51に出力することにより、電流源140が出力する電流値を制御する。制御部64は、制御信号をAFE部51に出力することにより、スイッチSW1とスイッチSW2とのオンとオフとを制御する。

【0130】

表示装置7は、画像信号処理部62から出力された画像信号に基づいて、撮像部20が撮像した画像を表示する。表示装置7は、液晶または有機EL(Electro Luminescence)等の表示パネルを有する。

20

【0131】

内視鏡システム1は、内視鏡スコープ2と、信号伝送回路とを有する。内視鏡スコープ2は、撮像部20(撮像素子)と、バッファ27(伝送バッファ)とを有する。撮像部20は、撮像信号を出力する。バッファ27は、撮像部20の内部または外部に配置され、かつ撮像信号に基づく第1の電流を出力する。信号伝送回路は、バッファ27に接続されている。内視鏡システム1は、信号伝送回路100と信号伝送回路101と信号伝送回路102と信号伝送回路103と信号伝送回路104と信号伝送回路105とのいずれか1つを有する。

【0132】

本発明の各態様の内視鏡システムは、伝送ケーブル3と、操作部4と、プロセッサ6と、表示装置7との少なくとも1つに対応する構成を有していなくてもよい。本発明の各態様の内視鏡システムは、前処理部52と制御信号生成部53との少なくとも1つに対応する構成を有していなくてもよい。

30

【0133】

第4の実施形態では、信号伝送回路を有する内視鏡システム1について説明した。しかし、内視鏡システム1以外の装置およびシステムに対しても信号伝送回路は適用することができる。

【0134】

第4の実施形態では、上記の各実施形態と同様に、内視鏡システム1は、入力信号のオフセット電圧に基づくオフセット電流を低減することができる。

40

【0135】

以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

【産業上の利用可能性】

【0136】

本発明の各実施形態によれば、信号伝送回路および内視鏡システムは、入力信号のオフセット電圧に基づくオフセット電流を低減することができる。

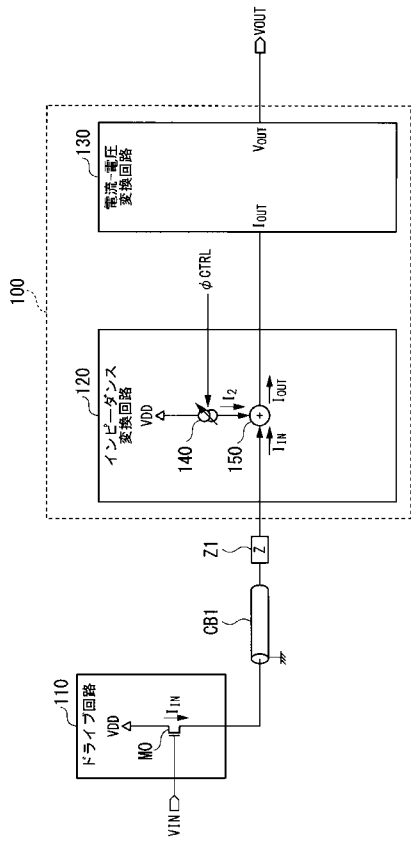
【符号の説明】

【0137】

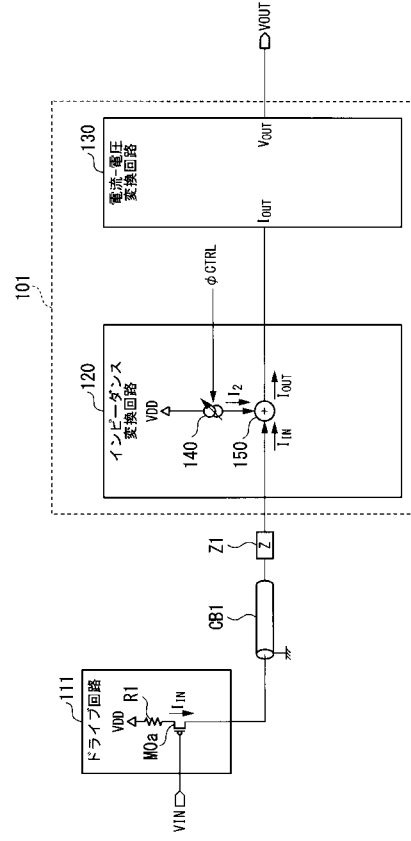
50

1	内視鏡システム	
2	内視鏡スコープ	
3	伝送ケーブル	
4	操作部	
5	コネクタ部	
6	プロセッサ	
7	表示装置	
20	撮像部	
21	第1のチップ	
22	第2のチップ	10
23	受光部	
24	読み出し部	
25	タイミング生成部	
26, 27	バッファ	
51	アナログ・フロント・エンド部	
52	前処理部	
53	制御信号生成部	
61	電源部	
62	画像信号処理部	
63	クロック生成部	20
64	制御部	
70	挿入部	
71	先端	
100, 101, 102, 103, 104, 105, 1100, 1101	信号伝送回路	
110, 111, 1110	ドライブ回路	
120, 122, 124, 125, 1120, 1121	インピーダンス変換回路	
130, 132, 133, 1130	電流 - 電圧変換回路	
140, 142	電流源	
150, 152, 155, 1150	電流出力回路	30

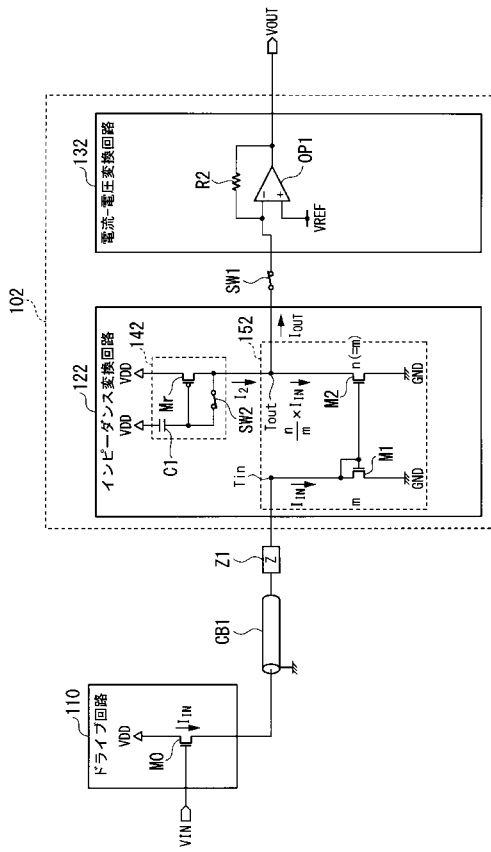
【 図 1 】



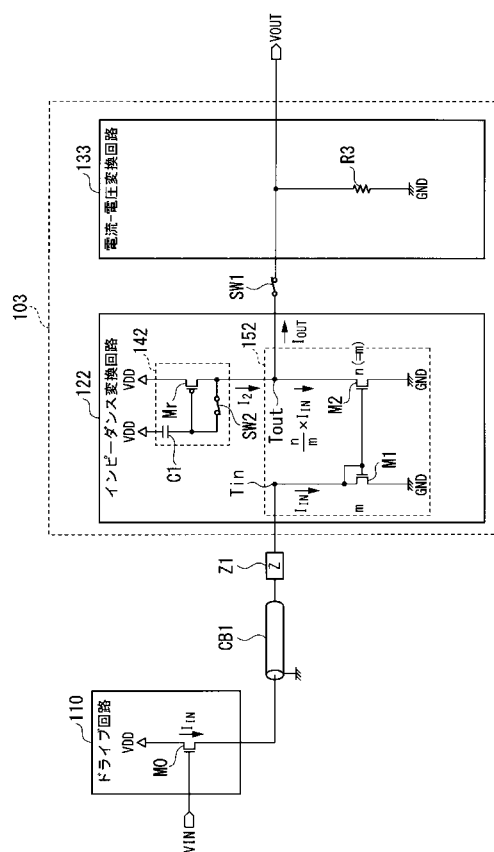
【 図 2 】



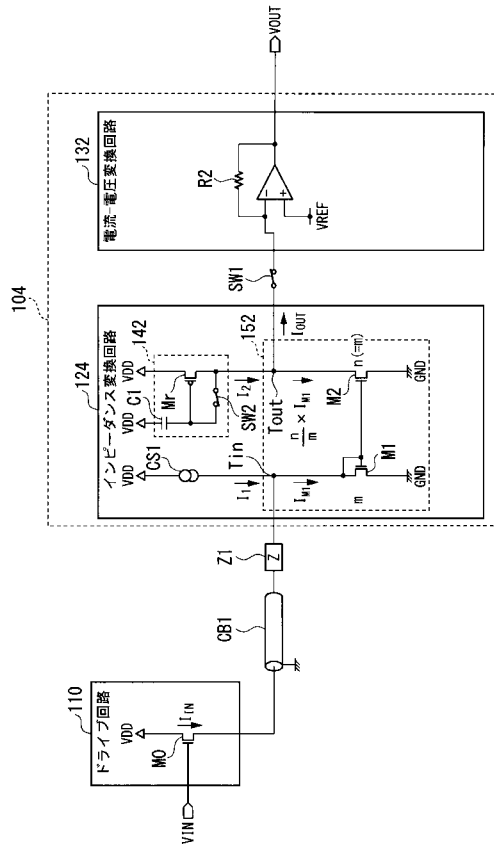
【 図 3 】



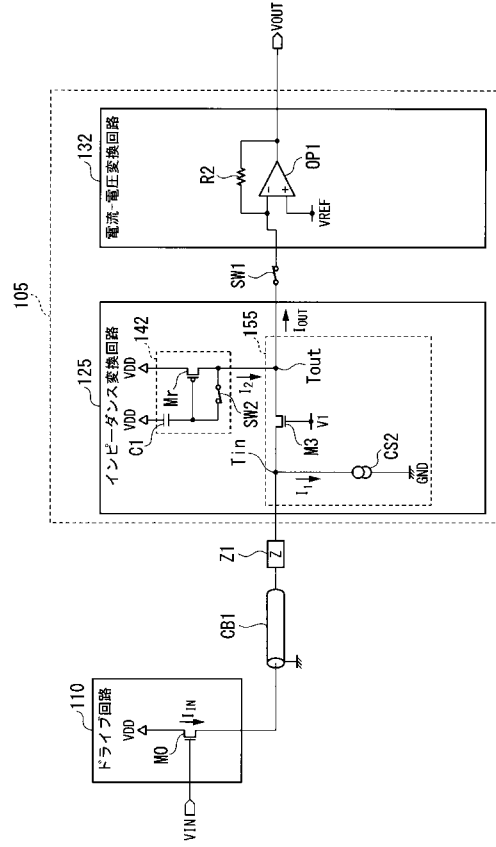
【 図 4 】



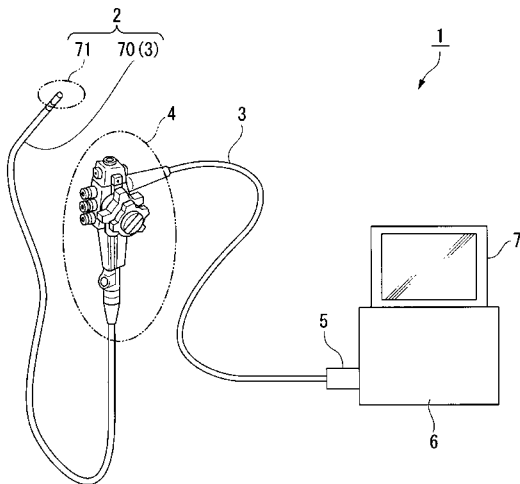
【 図 5 】



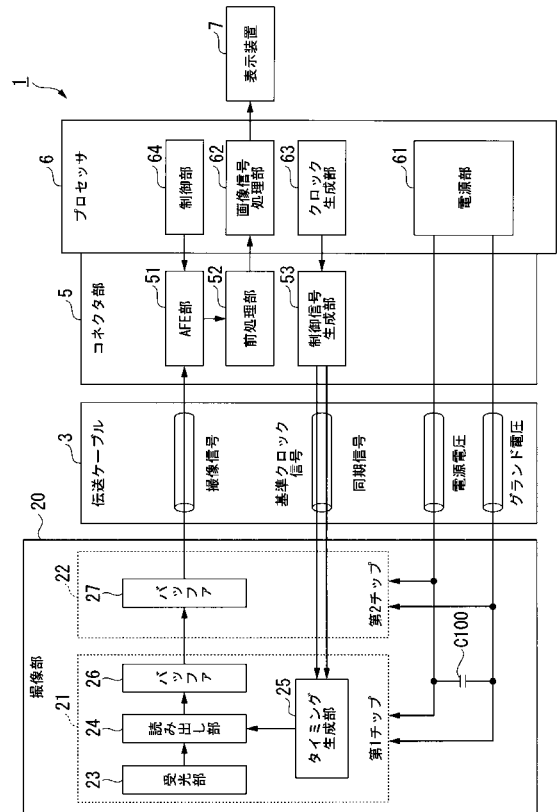
【 図 6 】



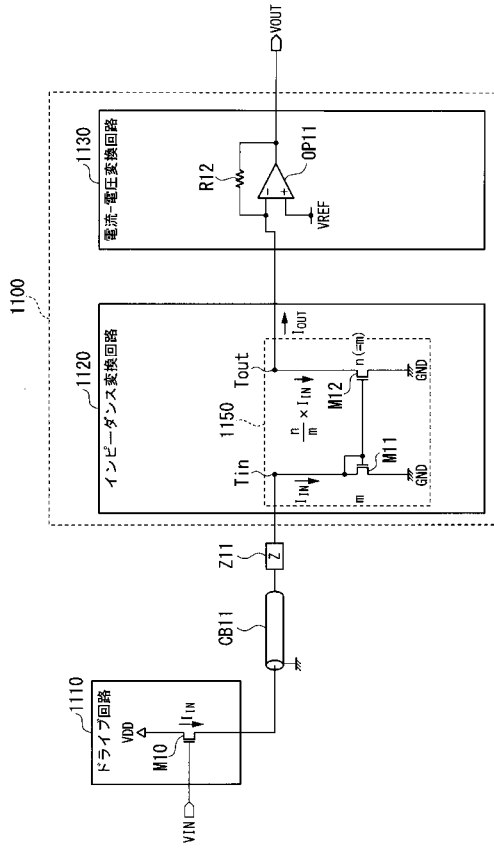
【 図 7 】



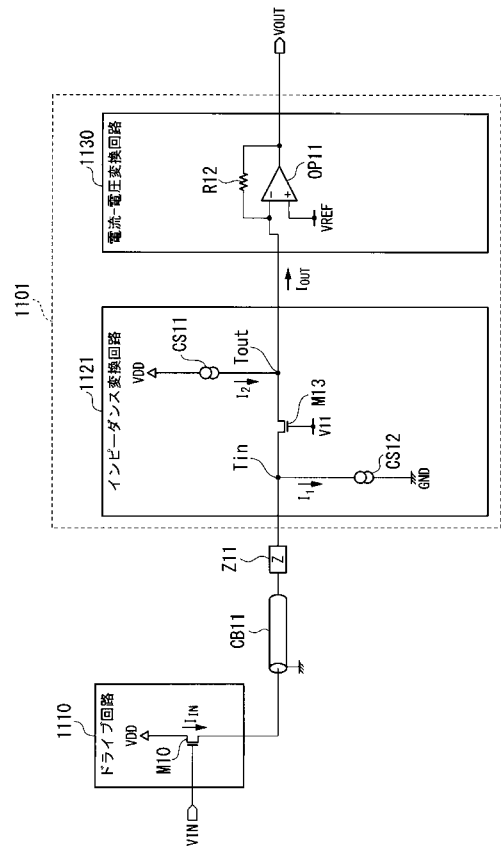
【 図 8 】



【図 9】



【図 10】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2015/077278
A. CLASSIFICATION OF SUBJECT MATTER H04N5/378(2011.01)i, A61B1/04(2006.01)i, H03F1/56(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H04N5/378, A61B1/04, H03F1/56 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-023135 A (Sony Corp.), 22 January 2004 (22.01.2004), paragraph [0016]; fig. 1 (Family: none)	1-5
A	WO 2014/171316 A1 (Olympus Corp.), 23 October 2014 (23.10.2014), entire text; all drawings & JP 5770951 B	1-5
A	WO 2015/141333 A1 (Olympus Corp.), 24 September 2015 (24.09.2015), entire text; all drawings & JP 2015-177421 A	1-5
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 07 December 2015 (07.12.15)		Date of mailing of the international search report 22 December 2015 (22.12.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

国際調査報告		国際出願番号 PCT/J P 2015/077278									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H04N5/378(2011.01)i, A61B1/04(2006.01)i, H03F1/56(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H04N5/378, A61B1/04, H03F1/56											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2015年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2015年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2015年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2015年	日本国実用新案登録公報	1996-2015年	日本国登録実用新案公報	1994-2015年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2015年										
日本国実用新案登録公報	1996-2015年										
日本国登録実用新案公報	1994-2015年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2004-023135 A (ソニー株式会社) 2004.01.22, 段落 [0016], 第1図 (ファミリーなし)	1-5									
A	WO 2014/171316 A1 (オリンパス株式会社) 2014.10.23, 全文, 全図 & JP 5770951 B	1-5									
A	WO 2015/141333 A1 (オリンパス株式会社) 2015.09.24, 全文, 全図 & JP 2015-177421 A	1-5									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 07.12.2015		国際調査報告の発送日 22.12.2015									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 鈴木 明	5V 9185								
		電話番号 03-3581-1101	内線 3571								

フロントページの続き

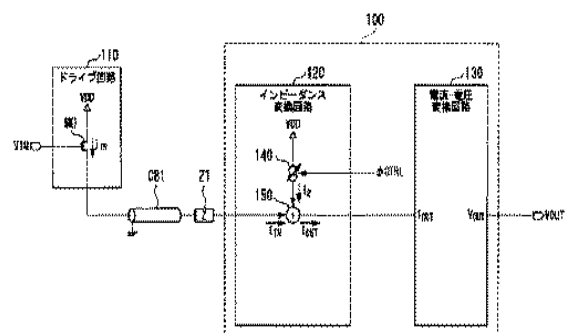
F ターム(参考) 4C161 BB02 CC06 JJ11 JJ19 LL02 NN03 UU03 UU09
5C024 BX02 HX17 HX28 HX29 HX48
5J500 AA01 AA03 AA11 AC11 AF10 AF15 AH10 AH17 AH25 AH29
AH39 AK01 AK09 AK18 AK26 AK27 AM08 AS15 AT01

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	信号传输电路和内窥镜系统		
公开(公告)号	JPWO2017056146A1	公开(公告)日	2018-07-12
申请号	JP2017542520	申请日	2015-09-28
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	萩原義雄		
发明人	萩原 義雄		
IPC分类号	H03F3/343 H04N5/378 A61B1/00 A61B1/05		
CPC分类号	A61B1/00006 A61B1/00009 A61B1/00018 A61B1/00045 A61B1/045 H03F1/56 H03F3/45475 H03F3/505 A61B1/00011		
FI分类号	H03F3/343.Z H04N5/378 A61B1/00.680 A61B1/05		
F-TERM分类号	4C161/BB02 4C161/CC06 4C161/JJ11 4C161/JJ19 4C161/LL02 4C161/NN03 4C161/UU03 4C161/UU09 5C024/BX02 5C024/HX17 5C024/HX28 5C024/HX29 5C024/HX48 5J500/AA01 5J500/AA03 5J500/AA11 5J500/AC11 5J500/AF10 5J500/AF15 5J500/AH10 5J500/AH17 5J500/AH25 5J500/AH29 5J500/AH39 5J500/AK01 5J500/AK09 5J500/AK18 5J500/AK26 5J500/AK27 5J500/AM08 5J500/AS15 5J500/AT01		
代理人(译)	塔奈澄夫 铃木史朗		
外部链接	Espacenet		

摘要(译)

信号传输电路具有阻抗转换电路和电流-电压转换电路。第一电流被输入到阻抗转换电路。阻抗转换电路根据第一电流输出第二电流。电流-电压转换电路将从阻抗转换电路输出的第二电流转换为电压。阻抗转换电路具有第一电流源和电流输出电路。第一电流源产生参考电流。电流输出电路根据第一电流与参考电流之差或总和输出第二电流。



110 Drive circuit
120 Impedance conversion circuit
130 Current-voltage conversion circuit